

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-179139

(43)Date of publication of application : 12.07.1990

(51)Int.CI.

H04L 12/40

(21)Application number : 63-331109

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 29.12.1988

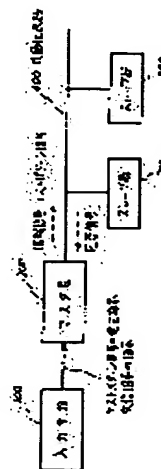
(72)Inventor : FUJITA KAZUHIRO

(54) INFORMATION TRANSMISSION SYSTEM

(57)Abstract:

PURPOSE: To easily analyze the cause of a fault in a transmission line system with a general-purpose waveform observing device by providing a master station sending an information signal designating a transmission opposite party and the test pattern signal of a fixed signal waveform to a common transmission line at a prescribed period and a slave station sending the reply signal of a fixed signal waveform.

CONSTITUTION: The generating function of a test pattern signal is provided on a master station 200 and an information signal designating the communication opposite party commanded from an external equipment 100 and a test pattern signal are sent to a transmission line 400. Moreover, a slave station 300 designated for the communication sends a reply signal to the test pattern signal to a transmission line 400. That is, the test pattern signal and the reply signal are fixed signal waveform and generated at a prescribed period. Thus, even when the signal waveform on the transmission line 400 is observed with a waveform observing equipment such as an inexpensive synchroscope, the normal/abnormal state of the test pattern signal is easily confirmed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 2 - 1 7 9 1 3 9

(43) 公開日 平成2年(1990)7月12日

| | | | | |
|----------------------------|-------|--------|---------------|--------|
| (51) Int. Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| H 0 4 L 11/00 | 3 2 1 | | | |
| | | | H 0 4 L 12/40 | 8 0 1 |

審査請求 有

(全 7 頁)

| | | | |
|-----------|-------------------|----------|---|
| (21) 出願番号 | 特願昭63-331109 | (71) 出願人 | 000000523 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号 |
| (22) 出願日 | 昭和63年(1988)12月29日 | (72) 発明者 | 藤田 和弘 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 |
| | | (74) 代理人 | 谷 義一 |

(54) 【発明の名称】 情報伝送システム

(57) 【要約】 本公報は電子出願前の出願データであるため要約のデータは記録されません。

【特許請求の範囲】

1) テストパターン信号の発生の指示および複数の送信相手の中から該テストパターン信号の送信相手を選択指示する入力手段と、

該入力手段からの前記指示に応じて当該送信相手を個別に指定する情報信号と固定の信号波形のテストパターン信号とを一定周期で発生して共通伝送路に送出するマスター局と、

前記共通伝送路に送出された前記情報信号を受信し、該情報信号が自局の指定信号であることを識別してから前記テストパターン信号を受信し、固定の信号波形の応答信号を前記周期と同じ周期で前記共通伝送路に送出するスレーブ局と

を具えたことを特徴とする情報伝送システム。

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平2-179139

⑫ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)7月12日

H 04 L 12/40

7928-5K

H 04 L 11/00

3 2 1

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 情報伝送システム

⑮ 特 願 昭63-331109

⑯ 出 願 昭63(1988)12月29日

⑰ 発 明 者 藤 田 和 弘 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑱ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑲ 代 理 人 弁理士 谷 義 一

明 細 書

1. 発明の名称

情報伝送システム

2. 特許請求の範囲

1) テストパターン信号の発生、指示および複数の送信相手の中から該テストパターン信号の送信相手を選択指示する入力手段と、

該入力手段からの前記指示に応じて当該送信相手を個別に指定する情報信号と固定の信号波形のテストパターン信号とを一定周期で発生して共通伝送路に送出するマスタ局と、

前記共通伝送路に送出された前記情報信号を受信し、該情報信号が自局の指定信号であることを識別してから前記テストパターン信号を受信し、固定の信号波形の応答信号を前記周期と同じ周期で前記共通伝送路に送出するスレーブ局とを具備したことを特徴とする情報伝送システム。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、共通伝送路を介してマスタ局と1以上のスレーブ局との間で情報信号の授受を行う情報伝送システムに関し、例えばマスタ局としてのプログラマブルコントローラと接続し、シリアルな情報信号を送送する伝送路の障害要因の解析に好適な情報伝送システムに関する。

[従来の技術]

情報伝送システムの代表的な一例としてプログラマブルコントローラのシリアル伝送システムの構成を第6図に示す。

第6図において、一台のマスタ局1と、複数台のスレーブ局3およびそれらの間を接続する一対の伝送路4により情報伝送システムが構成されている。また第7図は第6図に示すマスタ局1の回路構成を示す。

第7図において、中央演算処理装置(CPU)11は、ランダムアクセスメモリ(RAM)13に記憶され

特開平2-179139(2)

たユーザプログラムを実行し、各スレーブ局3と情報信号の授受を行う。

また、上記ユーザプログラムは、入出力インターフェース14を介してローダと呼ばれる情報入力装置2から入力され、リードオンリメモリ(ROM)12に格納されたCPU11用のシステムプログラムにより、RAM13に格納される。また並直列変換器を介してスレーブ局3との間でCPU1が授受するシリアルの情報信号もローダ2の表示器に表示可能である。

スレーブ局3の構成は、マスタ局1の構成とはほぼ同様に並直列変換器10、CPU11、ROM12、RAM13および入出力インターフェース14により構成され、入出力インターフェース14にマスタ局1の制御対象となる電子機器を接続する。また、RAM13は一般データの格納用に用いられる。さらに各スレーブ局3には、各々マスタ局1との信号授受を行うためマスタ局1から送出された出力信号が、自局に対する信号であるか否かを認識するための局番スイッチが設けられている。

ーム長さは、それぞれ異なる場合もある。またマスタ局1と各スレーブ局3との間の順次の交信は周期的に実行される。

上記情報信号のフレーム上の波形の意味付け、波形例を第9図および第10図にそれぞれ示す。

第10図に示すように、例えば上述の各信号は“0”または“1”のビット信号複数個から構成され、第9図に示すようにビット信号はパルス幅の長さに応じて数値“1”、“0”を定めている。

【発明が解決しようとする課題】

しかしながら、通常、前述したようなシリアル信号の形態でデータ授受が行われている伝送路4においては、情報信号の局番データ等およびその値データが刻々と変化しているため、シンクロスコープを用いて伝送路4上の信号波形を監視し、伝送路上に接続されているスレーブ局3の異常や伝送路4とスレーブ局3との間の伝送路系の障害の発生を検出したり、障害要因の解析をするため

次に、第8図示の伝送路4に転送される1フレームの送受信信号の情報内容を第8図に示す。

第8図において、マスタ局1とスレーブ局3との間で送受信する情報信号は、復調部問題のためのフィールドM、フレームの開始を示すフィールドBf、局アドレスを指定するフィールドA、フレームの識別を指定するフィールドC、局ステータスを示すフィールドI、データフィールドDATA、フレームチェックのフィールドfcs、フレームの終了を示すフィールドcfおよびトレーラTからなる。

マスタ局1から交信対象スレーブ局3に対し上述の情報信号が送出され、この情報信号を受信した交信対象のスレーブ局3は、ほぼ一定時間Tt後、マスタ局1に対して1フレームの応答信号をマスタ局1に出力する。

次にマスタ局1は、交信対象のスレーブ局3を示すアドレス部の情報を変え、次のスレーブ局3に対する同様な情報信号を出力する。マスタ局1と各スレーブ局3との間で授受する情報信号のフレ

には長時間を費やさねばならないという欠点が発来装置にはあった。

専用の伝送路モニタチェッカと呼ばれる装置を伝送路上に接続し、信号パルス幅を自動計測して送受信フレーム波形をモニタして障害要因を解析することも考えられるが、このようなチェッカは回路構成が複雑で高価であり、伝送プロトコル伝送波形が専用であるプログラマブルコントローラのシリアル伝送システムにおいてはこのような特殊信号のチェックのための装置を伝送路に接続することは適していないという欠点も従来からあった。

そこで、本発明の目的は、このような欠点を解消し、シンクロスコープ等の汎用の波形観測装置により伝送路系の障害要因を極めて容易に解析することが可能な情報伝送システムを提供することにある。

【課題を解決するための手段】

このような目的を達成するために、本発明はテ

特開平2-179139 (3)

ストパターン信号の発生、指示および複数の送信相手の中からテストパターン信号の送信相手を選択指示する入力手段と、入力手段からの指示に応じて当該送信相手を個別に指定する情報信号と固定の信号波形のテストパターン信号とを一定周期で発生して共通伝送路に送出するマスタ局と、共通伝送路に送出された情報信号を受信し、情報信号が自局の指定信号であることを識別してからテストパターン信号を受信し、固定の信号波形の応答信号を同期と同じ周期で共通伝送路に送出するスレーブ局とを具備することを特徴とする。

【作 用】

本発明ではマスタ局にテストパターン信号の発生機能を持たせ外部装置から指示した交信相手を指定する情報信号およびテストパターン信号を伝送路に送出し、また交信指定されたスレーブ局側ではこのテストパターン信号に対する応答信号を伝送路に送出する。上記テストパターン信号および応答信号は固定の信号波形で、かつ、一定周期

あることを識別してから前記テストパターン信号を受信し、固定の信号波形の応答信号を前記周期と同じ周期で前記共通伝送路400に送出するスレーブ局である。

第2図は本発明実施例におけるマスタ局100の回路構成を示す。

第7図に示す従来装置と同様の個所には同一の符号を付し、その詳細な説明を省略する。

第2図において、CP021は従来から周知のシステム制御を行う他、入力手段としてのローダ2から指示されたテストモードにおいて、テストパターン信号を発生する。またこのテストパターン信号を発生するための情報がROM22のテストパターン記憶領域に格納されている。

なお、スレーブ局300の回路構成も主に、CPU、ROM、RAMおよび並直列変換器から構成される。また、上記テストパターンモードが設定されたときにスレーブ局300のCPUが応答信号を発生するための情報がスレーブ局300のROMに予め格納されている。

で発生するので、廉価なシンクロスコープ等の波形観測装置により伝送路上の信号波形を観測しても極めて容易にテストパターン信号の正常/異常を確認できるので、各伝送路系の信号解析も容易となる。

【実施例】

以下図面を参照して本発明実施例を詳細に説明する。

第1図は本発明実施例の基本構成を示す第1図において、100はテストパターン信号の発生、指示および複数の送信相手の中から当該テストパターン信号の送信相手を選択指示する入力手段である。

100は該入力手段からの前記指示に応じて当該送信相手を個別に指定する情報信号と固定の信号波形のテストパターン信号とを一定周期で発生して共通伝送路400に送出するマスタ局である。

300は前記共通伝送路400に送出された前記情報信号を受信し、該情報信号が自局の指定信号で

次にこのような構成におけるマスタ局100および指定のスレーブ局300の間で行う伝送路の正常確認処理について説明する。

第3図はマスタ局100がテストモードにおいて実行する制御手順を示し、第4図はスレーブ局300が実行する制御手順を示す。

マスタ局100と接続するローダ2から操作者が伝送路テストモードを指示する命令を入力すると、テストモードで通信を停止することを各スレーブ局300に通知後、通常の通信処理を停止する(第3図ステップS1-S2)。この状態で、ローダ2からスレーブ局指定を含むテスト開始指令をこれを受け、マスタ局は、ローダ2から指定されたスレーブ局300に対し、スレーブ局300の局番を含む所定のテストパターン信号を送出し、スレーブ局からの応答待ち状態になる(第3図ステップS3)。一定時間後、スレーブ局300からの応答の有無にかかわらず、再度上記テストパターン信号の送出を、ローダ2からの停止指令が来るまで繰返す(第3図ステップS3-S4-)

特開平2-179139 (4)

53)。一方、スレーブ局300は、マスタ局100からのテストモードの設定を受信すると、自局に対するテストパターンを受信し、一定時間後に応答パターンを送出する(第4図ステップS21→S22)。テストパターン信号は第5図に示すように、通常状態での情報信号の構成内容(第10図参照)とし、各フィールドの信号波形を固定したものを用いるとよい。

テストモード状態ではマスタ局100とテストパターン信号内の局番情報Aで指示されるスレーブ局300との間で信号波形が固定のテストパターン信号および応答信号の送受信のみが行なわれているので、伝送路上にシンクロスコープを接続することにより伝送路波形をモニタすることができ、本実施例の応用形態としては次のことが考えられる。

通常、プログラマブルコントローラの情報伝送システムではマスタ局100がローダ2に対して定期的に処理要求の有無を確認する信号を送信している。ローダ2からのテストモード開始指令は、

以上、説明したように、本発明ではマスタ局にテストパターン信号の発生機能を持たせ外部装置から指示した交信相手を指定する情報信号およびテストパターン信号を伝送路に送出し、また交信指定されたスレーブ局側ではこのテストパターン信号に対する応答信号を伝送路に送出する。上記テストパターン信号および応答信号は固定の信号波形で、かつ、一定周期で発生するので、廉価なシンクロスコープ等の波形観測装置により伝送路上の信号波形を観測しても極めて容易にテストパターン信号の正常/異常を確認できるので、各伝送路系の信号解析も容易となる。

さらにまた、マスタ局、スレーブ局も通常の時に送出する信号を固定することによりテストパターン信号およびその応答信号を発生することができるので従来装置の回路構成を大幅に変更する必要がないという効果を得られる。

4. 図面の簡単な説明

第1図は本発明実施例の基本構成を示すブロッ

マスタ局100のCPU21で認識が可能であるが、一旦伝送路400のテストを開始した後は、マスタ局内の共通バスが並直列変換回路10とCPU21の間で占有されるので、ローダ2からのテストモードの停止指令がマスタ局100に受け付けられなくなる恐れがある。

このような場合を考えて、ローダ2からのテスト指令信号中には、テストパターン信号を出力する時間も含めればよく、マスタ局100は前述のテストパターン出力動作を指定時間実施した後テスト処理を中止し、自動的に通常の動作モードに復帰したり、ローダ2からのテスト停止指令を受付けように制御手順を作成すればよい。

また、本実施例ではテストパターンは通常の伝送フレームの局番情報を除く各フィールドを固定化した信号波形を用いているが、各スレーブ局毎に割り当てた特定のパルス波形を用いてもよいことは勿論である。

【発明の効果】

ク図、

第2図は本発明実施例のマスタ局の回路構成を示す回路図、

第3図は本発明実施例のマスタ局が実行する制御手順を示すフローチャート、

第4図は本発明実施例のスレーブ局が実行する制御手順を示すフローチャート、

第5図は本発明実施例のテストモードにおける情報信号の信号波形を示す波形図、

第6図は従来例のシステム構成を示すブロック図、

第7図は、従来例のマスタ局1の回路構成を示す回路図、

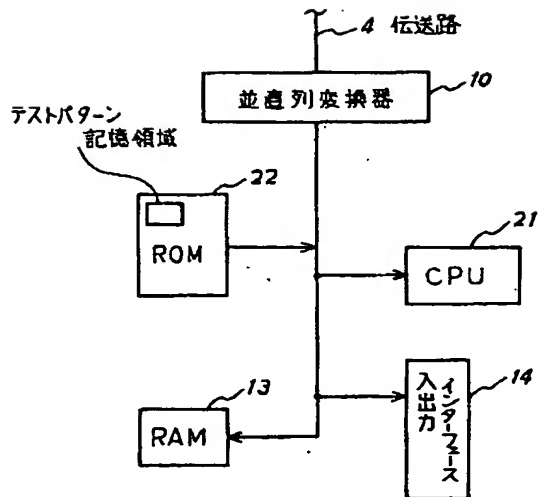
第8図は従来例の情報信号の構成を示す説明図、

第9図および第10図は情報信号の信号波形を示す波形図である。

1…マスタ局、

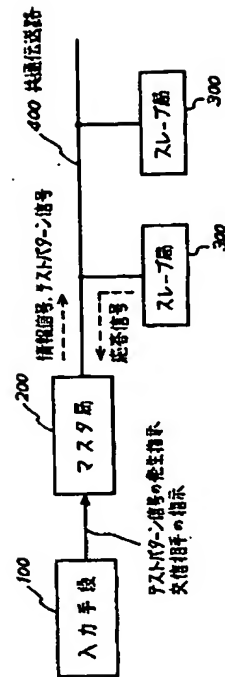
2…ローダ、

3 - スレーブ局、
4 - 共通伝送路。

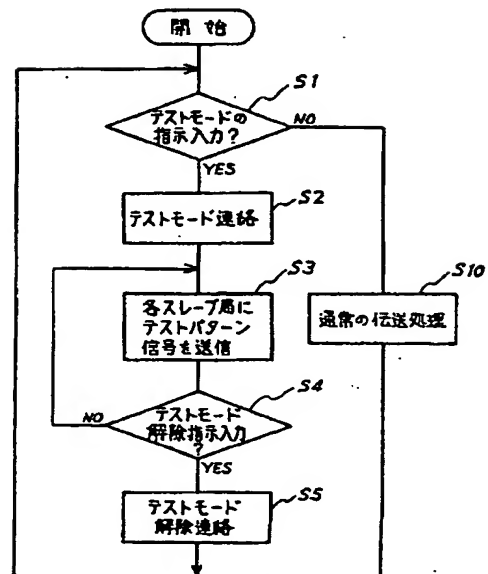


本発明実施例のマスター局の回路図

第2図



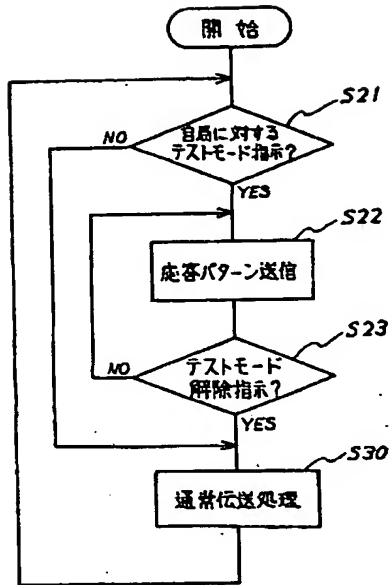
本発明実施例のブロック図
第1図



本発明実施例のマスター局1の
実行制御手順を示すフローチャート

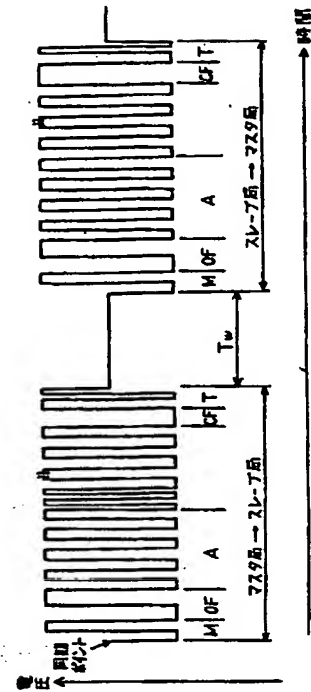
第3図

特開平2-179139(8)



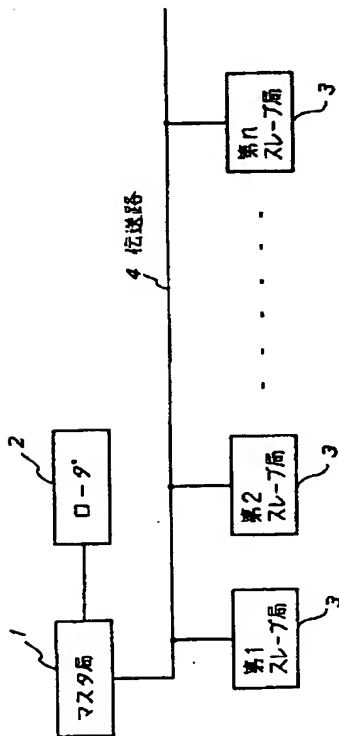
本発明実施例のスレーブ局3の
実行制御手順を示すフローチャート

第4図



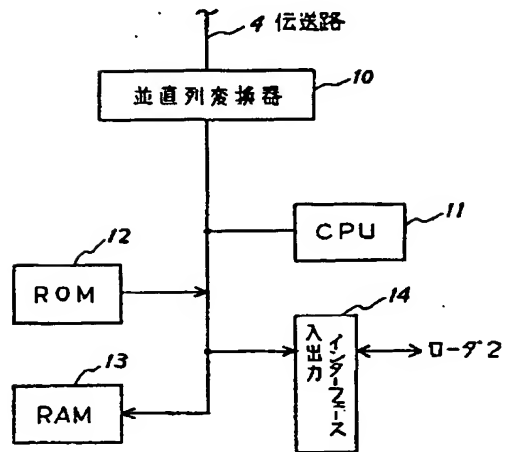
本発明実施例の情報信号の波形図

第5図



従来例のシステム構成を示すブロック図

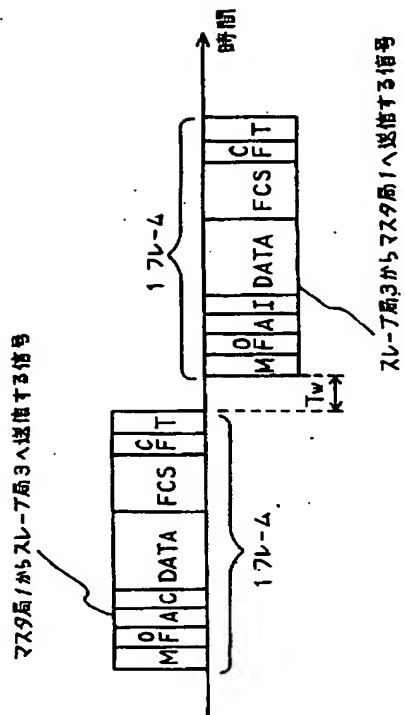
第6図



従来例のマスタ局の回路図

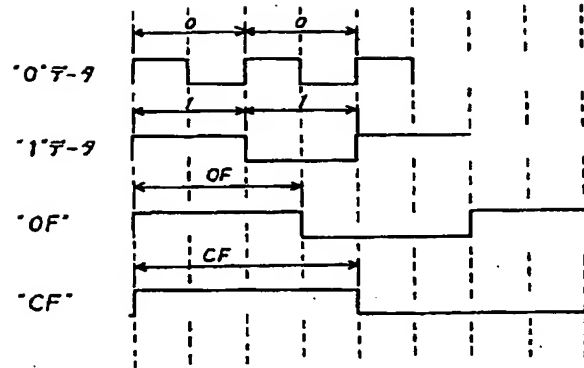
第7図

特開平2-179139(7)



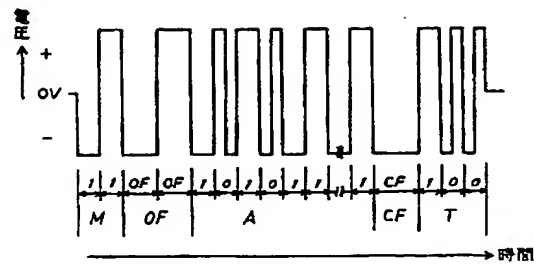
従来例の伝送信号構成を示す説明図

第8図



従来例の伝送信号のフレーム上の波形の意味付けを示すタイミングチャート

第9図



従来例の伝送信号の波形を示すタイミングチャート

第10図